

JC997 U.S. PTO  
10/055266  
01/22/02



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 특허출원 2001년 제 5945 호  
Application Number

출원 년 월 일 : 2001년 02월 07일  
Date of Application

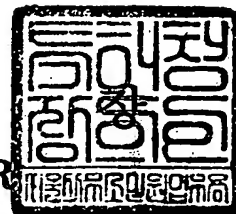
출원인 : 삼성전자 주식회사  
Applicant(s)



2001 년 03 월 28 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0008
【제출일자】	2001.02.07
【국제특허분류】	H01L
【발명의 명칭】	와이어 본딩을 통해 기판 디자인을 변경하는 반도체 패키지
【발명의 영문명칭】	Semiconductor package having a changed substrate design using special wire bonding
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	최기원
【성명의 영문표기】	CHOI, Ki Won
【주민등록번호】	650417-1682914
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 968번지 신명아파트 633동 103호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)

**【수수료】**

**【기본출원료】** 20 면 29,000 원

**【가산출원료】** 5 면 5,000 원

**【우선권주장료】** 0 건 0 원

**【심사청구료】** 22 항 813,000 원

**【합계】** 847,000 원

**【첨부서류】** 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

반도체 칩의 설계가 유사하게 변경된 경우, 기존에 개발되었던 기판을 디자인 변경 없이 그대로 사용하는 반도체 패키지 및 그 제조방법에 대해 개시한다. 이를 위해 본 발명은, 본드 핑거와 본드 핑거를 직접 연결하는 추가된 와이어 본딩부 또는 인쇄회로 패턴과 인쇄회로 패턴을 직접 연결하는 추가된 와이어 본딩부를 포함하는 반도체 패키지 및 그 제조방법을 제공한다.

## 【대표도】

도 5

## 【명세서】

## 【발명의 명칭】

와이어 본딩을 통해 기판 디자인을 변경하는 반도체 패키지{Semiconductor package having a changed substrate design using special wire bonding}

## 【도면의 간단한 설명】

도 1 및 도 2는 일반적인 BGA(Ball Grid Array, 이하 'BGA'라 칭함) 패키지의 단면도들이다.

도 3은 종래기술에 의한 BGA 패키지 제조공정의 문제점을 설명하기 위해 도시한 평면도이다.

제 4 및 도 5는 본 발명의 제1 실시예에 의한 반도체 패키지 및 그 제조방법을 설명하기 위한 평면도들이고, 도 6는 단면도이다.

도 7 및 도 8은 본 발명의 제2 실시예에 의한 반도체 패키지 및 그 제조방법을 설명하기 위한 평면도들이다.

## &lt; 도면의 주요부분에 대한 부호의 설명 &gt;

- |                          |                   |
|--------------------------|-------------------|
| 100: 기판,                 | 102: 반도체 칩,       |
| 104: 본드 핑거,              | 106: 인쇄회로 패턴,     |
| 108: 솔더볼 패드,             | 110: 본드 패드,       |
| 112: 정상적인 와이어 본딩부,       | 114: 추가된 와이어 본딩부, |
| 116: 접착제(adhesive),      | 118: 솔더볼,         |
| 202: 추가된 본드패드(제1 본드 핑거), |                   |

204: 사용되지 않는 본드 핑거(제2 본드 핑거),

206: 사용되지 않는 솔더볼 패드,

208: 새로 추가된 제1 본드 핑거.

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<15> 본 발명은 반도체 패키지에 관한 것으로, 더욱 상세하게는 BGA 패키지와 같이 리드 프레임 대신에 기판(Substrate)을 반도체 패키지의 기본 골격재로 사용하는 반도체 패키지에 관한 것이다.

<16> 최근들어 개인용 컴퓨터, 셀룰러 폰, 캠코더와 같은 전자제품군은, 제품의 크기면에서는 소형화를 추구하면서, 오히려 그 기능면에서는 더욱 우수한 수행능력(performance)을 요구하고 있다. 이에 따라 반도체 패키지에 있어서도 크기는 작으면서 대용량이고 빠른 처리속도를 갖는 반도체 패키지가 요구된다. 이러한 요구에 부응하여, 반도체 패키지의 개발 방향은 종래의 DIP(Dual In-line Package)과 같은 삽입 실장형 패키지에서 TSOP(Thin Small Out-line Package), TQFP(Thin Quad Flat Package) 및 BGA와 같은 표면 실장형 패키지로 급속히 전환되고 있다.

<17> 상기 표면실장형 패키지중 BGA는 최근 발표되고 있는 칩크기 패키지(CSP: Chip Scale Package)들 중에서 크기와 무게를 현저하게 줄이면서도 높은 품질과 신뢰도를 얻을 수 있기 때문에 가장 주목받고 범용적으로 사용되는 반도체 패키지이다.

<18> 이러한 BGA 패키지는 반도체 패키지의 기본 골격재가 되는 기존의 리드프레임 대신

에, 폴리이미드(polyimide)와 같은 절연성 기판에, 구리로 이루어진 인쇄회로 패턴들이 전면 혹은 전후면에 형성된 기판을 기본 골격재로 사용한다.

<19> 도 1 및 도 2는 일반적인 BGA(Ball Grid Array, 이하 'BGA'라 칭함) 패키지의 단면도들이다.

<20> 도 1은 이중층 기판을 사용하는 일반적인 BGA 패키지의 단면도이다. 이하, BGA 패키지의 제조공정을 중심으로 그 구조를 설명하기로 한다.

<21> 도 1을 참조하면, 웨이퍼 소잉 공정(sawing process)을 진행하여 웨이퍼로부터 개별화된 형태의 반도체 칩(6)을 준비한다. 이어서 기판(10)에 접착제(Adhesive, 5)를 이용하여 상기 반도체 칩(6)을 상기 기판(10)위에 접착하는 다이 어태치 공정(Die Attach Process)을 진행한다.

<22> 상기 기판(10)에는 구리로 이루어진 인쇄회로 패턴(14)들이 관통홀(9)을 통하여 기판(10)의 상하면으로 서로 연결되고, 기판(10)의 하면에는 솔더볼(13)과 연결되어 있다. 또한, 인쇄회로 패턴(14)의 쇼트(short)를 방지하고, 솔더볼(13)을 용이하게 부착하기 위한 솔더 마스크(1, 11)가 기판(10)의 상면 및 하면에 각각 형성되어 있다. 상기 기판(10) 내부(12)는 폴리이미드와 같은 플라스틱 수지로 이루어져 있다. 상기 반도체 칩(6)이 부착된 기판에 와이어 본딩 공정을 진행하여 상기 반도체 칩(6)의 본드 패드(미도시)와 상기 기판(10)의 본드 핑거(2,3)을 각각 연결한다.

<23> 이어서, 상기 기판(10) 전면에 형성된 반도체 칩(6), 금선(gold wire, 4)을 외부 환경 및 충격으로부터 보호하기 위한 봉합(encapsulation) 공정을 봉합제(7)인 에폭시 몰드 컴파운드(EMC: Epoxy Mold Compound)를 이용하여 진행한다. 계속해서 상기 기판

(10) 하부에 있는 솔더볼 패드(8)에 솔더볼(13)을 부착한다. 마지막으로 절단 공정 (Singulation process)을 진행하여 단위 BGA 패키지가 스트립(Strip) 형태로 되어 있는 것을 날개의 형태로 분리한다. 참조부호 2 및 3은 솔더볼 단자와 연결된 본드 핑거 (bond finger) 및 그라운드(ground)와 연결된 본드 핑거를 각각 가리킨다.

<24> 도 2은 단층 기판을 사용하는 일반적인 BGA 패키지의 단면도이다.

<25> 도 2을 참조하면, 기판(10')은 폴리이미드와 같은 절연층(12) 위에 본드 핑거(2)를 포함하는 인쇄회로 패턴(14)이 상부에만 형성된다. 따라서, 하부의 솔더볼 패드(8)는 상기 기판의 절연층(12)을 개구하여 형성되고 나머지는 상기 도 1의 이중층 기판을 사용하는 BGA 패키지와 동일한 구조를 갖는다. 도면에서 참조부호 4는 와이어 본딩으로 형성되는 금선(gold wire)을 가리키고, 5는 접착제를, 6은 반도체 칩을, 7은 봉합제를, 13은 솔더볼을 각각 가리킨다.

<26> 도 3은 종래기술에 의한 문제점을 설명하기 위해 도시한 평면도이다.

<27> 먼저, 도 3을 참조하여 본 발명의 설명에서 사용되는 용어에 대한 정의를 먼저 하기로 한다.

<28> 본드 패드(4)는 반도체 칩(6)에 형성된 패드(pad)로서 집적된 상태에 있는 내부 회로들을 외부로 확장하기 위한 단자이다. 본드 핑거(2)는 기판(10)에 형성된 패드로서 상기 본드 패드(4)와 금선(4)을 통하여 서로 연결되는 부분이다. 솔더볼 패드(8)는 기판에 형성되는 패드로서 BGA와 같은 반도체 패키지의 외부연결단자로 사용되는 솔더볼이 부착되는 패드를 지칭한다. 또한 인쇄회로 패턴(14)은 기판(10)의 상면 혹은 하면에 형성된 구리된 회로 패턴으로서, 단층 기판인 경우에는 상기 솔더볼 패드(8)와 본드 핑



거(2)를 서로 연결시키는 회로 패턴이다.

<29> 일반적으로 반도체 칩(6)에서 약간의 디자인 변경이 있는 경우에는 대개의 경우, 반도체 칩(6)에서 새로운 기능을 수행하는 본드패드(20)가 한 개에서 서너개 의 범위로 늘어난다. 이 경우의 반도체 칩(6)을 패키징(packaging)하려면 골격재로 사용되는 기판(20)의 디자인 역시 새로 갱신하여야 한다. 그러나 대부분의 기판에는 사용되지 않는 여분의 본드 핑거(21)와 솔더볼 패드(22)가 있기 때문에 가급적 이를 이용하여 반도체 패키지를 패키징한다면, 새로 기판(10)을 설계하고 제조하는 비용을 절감하고, 기존에 사용되었던 공정 파라미터를 그대로 이용할 수 있기 때문에 유리하다.

<30> 도 3의 경우에는 새로 추가된 본드패드(20)와 사용하지 않는 본드 핑거(21)를 와이어 본딩하는데는 문제가 없다. 하지만, 사용하지 않는 본드 핑거(21)와 솔더볼 패드를 새로운 인쇄회로패턴(14)으로 연결하기가 쉽지 않다. 즉, 단층 기판인 경우, 사용되지 않는 솔더볼 패드(22)가 다른 인쇄회로 패턴(14')들에 의해 포위되어 있기 때문에, 상기 솔더볼 패드(22)를 사용되지 않는 본드 핑거(21)와 연결할 수 없다.

<31> 다시 말하면, 반도체 칩(6)에서 약간의 디자인 변경이 발생한 경우에 기존의 기판(10)을 사용하여 반도체 칩(6)의 새로 추가된 본드패드(20)와 사용하지 않는 솔더볼 패드(22)를 연결하는 회로 형성이 불가능할 때가 많이 있다. 따라서, 단층기판인 경우에는 이중층기판으로 디자인을 변경하여 관통홀(Micro-via hole)을 추가로 형성하여야 한다. 그리고 이중층과 같은 다층기판인 경우에도 역시 기판의 층(layer) 숫자를 증가시켜 관통홀이 형성된 새로운 기판을 설계하여야 한다.

<32> 이러한 경우, 기판의 설계 변경 비용 및 제조비용이 추가되고, 기판의 제조공정이 복잡해지기 때문에 공정 난이도가 높아지며, 새롭게 변경된 기판을 사용하여 반도체 패

키지를 제조할 경우 초기에 나타나는 많은 공정불량으로 인하여 여러 가지 문제점들이 유발된다.

【발명이 이루고자 하는 기술적 과제】

<33> 본 발명이 이루고자 하는 기술적 과제는 일반적인 와이어 본딩과는 개념을 달리하는 추가된 와이어 본딩부를 형성하여 기존에 사용되던 기판을 그대로 이용할 수 있는 반도체 패키지를 제공하는데 있다.

<34> 본 발명이 이루고자 하는 다른 기술적 과제는 상기 반도체 패키지의 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<35> 상기 기술적 과제를 달성하기 위하여 본 발명은, 사용되지 않는 본드 핑거 및 솔더볼 패드를 포함하는 기판과, 상기 기판 위에 탑재된 반도체 칩과, 상기 반도체 칩의 본드 패드와 상기 본드 핑거를 연결하는 정상적인 와이어 본딩부와, 상기 사용되지 않은 솔더볼 패드와 상기 사용되지 않은 본드 핑거를 연결하기 위한 추가된 와이어 본딩부와, 상기 반도체 칩, 상기 정상적인 와이어 본딩부 및 추가된 와이어 본딩부를 봉합하는 봉합제와, 상기 기판 아래에서 상기 솔더볼 패드와 연결된 솔더 볼을 구비하는 것을 특징으로 하는 반도체 패키지를 제공한다.

<36> 본 발명의 제1 실시예에 의하면, 상기 추가된 와이어 본딩부는 사용되지 않는 솔더볼 패드를 연장하는 인쇄회로 패턴과 제1 본드 핑거를 새로 형성한 후, 상기 새로 형성된 제1 본드 핑거와 사용되지 않는 제2 본드 핑거를 금선으로 연결한 것이 적합하다.

<37> 본 발명의 제2 실시예에 의하면, 상기 추가된 와이어 본딩부는 사용되지 않는 솔더

볼 패드와 연결된 인쇄회로 패턴과 상기 사용되지 않는 본드 핑거와 연결된 인쇄회로 패턴을 금선으로 연결한 것이 적합하다.

<38> 본 발명의 바람직한 실시예에 의하면, 상기 기판은 단층기판, 이중층 기판 및 다층 기판중에서 선택된 하나인 것이 바람직하고, 상기 정상적인 와이어 본딩부 및 추가된 와이어 본딩부가 있는 영역에 솔더 마스크가 형성되지 않는 것이 적합하다.

<39> 또한, 상기 추가된 와이어 본딩부는 기판의 상부에 형성되고, 반도체 칩이 탑재된 바깥영역에 형성된 것이 적합하며, 하나 혹은 다수일 수 있다.

<40> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 제1 실시예를 통한 반도체 패키지의 제조방법은, 먼저 사용되지 않는 본드 핑거와 솔더볼 패드를 포함하는 기판에 추가된 와이어 본딩부를 형성하기 위한 제1 본드 핑거를 만든다. 상기 기판 위에 반도체 칩을 접착제를 사용하여 부착한다. 상기 반도체 칩이 탑재된 기판에 반도체 칩의 본드패드와 기판의 본드핑거를 연결하는 정상적인 와이어 본딩과, 상기 새로 만든 제1 본드 핑거와 사용되지 않는 제2 본드 핑거를 연결하는 추가된 와이어 본딩을 수행한다. 상기 반도체 칩과, 상기 와이어를 덮는 봉합(Encapsulation) 공정을 수행한다. 최종적으로, 상기 기판 하부의 솔더볼 패드에 솔더볼을 부착한다.

<41> 상기 제1 본드 핑거는 사용되지 않는 솔더볼 패드와 새로운 인쇄회로 패턴으로 연결된 본드 핑거인 것이 적합하다.

<42> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 제2 실시예를 통한 반도체 패키지의 제조방법은, 먼저 사용되지 않고 인쇄회로 패턴이 연결된 상태의 본드 핑거와 솔더볼 패드를 포함하는 기판을 준비한다. 상기 기판 위에 반도체 칩을 접착제를 사용하여 탑

재한다. 상기 반도체 칩이 탑재된 기판에 반도체 칩의 본드패드와 기판의 본드핑거를 연결하는 정상적인 와이어 본딩과, 상기 사용되지 않는 본드 핑거와 솔더볼 패드를 연결하기 위한 추가된 와이어 본딩을 수행한다. 상기 반도체 칩과, 상기 와이어를 덮는 봉합(Encapsulation) 공정을 수행한다. 상기 기판 상부의 솔더볼 패드와 연결된 기판 하부의 솔더볼 패드에 솔더볼을 부착한다.

<43> 상기 추가된 와이어 본딩은 사용하지 않는 본드 핑거와 연결된 인쇄회로 패턴과, 상기 사용하지 않는 솔더볼 패드와 연결된 인쇄회로 패턴을 서로 연결하는 것이 바람직하다.

<44> 본 발명에 따르면, 기존의 기판을 그대로 사용하여 반도체 칩을 패키징할 수 있기 때문에, 기판의 두께를 증가시키지 않아 소형화된 반도체 패키지를 구현할 수 있고, 새로운 기판 디자인을 위하여 소요되는 제조경비를 줄일 수 있고, 기존의 기판을 그대로 이용하기 때문에 초기에 발생할 수 있는 공정불량을 억제할 수 있다.

<45> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 그러나, 아래의 상세한 설명에서 개시되는 실시예는 본 발명을 한정하려는 의미가 아니라, 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게, 본 발명의 개시가 실시 가능한 형태로 완전해지도록 발명의 범주를 알려주기 위해 제공되는 것이다. 또한, 본 발명에서 말하는 추가된 와이어 본딩은 기판에서 본드 핑거와 솔더볼 패드를 연결하기 위한 어떤 형태의 와이어 본딩이라도 이에 포함되는 개념이다.

<46> 제1 실시예: 본드 핑거끼리 연결된 추가된 와이어 본딩부를 갖는 반도체 패키지 및 제조방법.

<47> 제 4 및 도 5는 본 발명의 제1 실시예에 의한 반도체 패키지 및 그 제조방법을 설명하기 위한 평면도들이고, 도 6는 단면도이다.

<48> 먼저, 도 6를 참조하여 본 발명의 제1 실시예에 의한 반도체 패키지의 구성 및 구조적 특징을 설명한다.

<49> 본 발명의 제1 실시예에 의한 반도체 패키지의 구성은, ① 사용되지 않는 본드 핑거 및 솔더볼 패드를 포함하는 기판(100), ② 상기 기판(100) 위에 탑재된 반도체 칩(102), ③ 상기 반도체 칩(102)의 본드 패드와 상기 본드 핑거를 연결하는 정상적인 와이어 본딩부(112), ④ 상기 사용되지 않은 솔더볼 패드와 연결된 제1 본드 핑거와, 상기 사용되지 않은 본드 제2 본드 핑거를 연결하는 추가된 와이어 본딩부(114), ⑤ 상기 반도체 칩(102), 상기 정상적인 와이어 본딩부(112) 및 상기 추가된 와이어 본딩부(114)를 봉합하는 봉합제(Encapsulant, 210) 및 ⑥ 상기 기판(100) 아래에서 상기 솔더볼 패드와 연결된 솔더볼(118)로 이루어진다.

<50> 일반적인 와이어 본딩의 개념은 기판(100)의 본드 핑거(도4의 104)와, 반도체 칩(102)의 본드 패드(110)를 금선(gold wire)로 연결하는 것이다. 그러나 본 발명에서는 이러한 개념을 넘어서, 본드 패드와 솔더볼 패드의 연결을, 기판의 디자인 변경없이 하기 위하여, 본드 핑거와 본드 핑거끼리를 와이어 본딩하는 추가된 와이어 본딩부(114)가 반도체 패키지 내부에 포함된다. 본 발명에서는 이러한 추가된 와이어 본딩부(114)를 이용하여 본 발명의 주요목적들을 달성하게 된다. 상세한 구조 및 기능은 제조방법을 설명하는 평면도를 참조하면서 설명한다.

<51> 이하, 도 4 내지 도 6을 참조하면서 본 발명의 제1 실시예에 의한 반도체 패키지의 제조방법을 설명하기로 한다.

<52> 도 4를 참조하면, 사용되지 않는 본드 핑거(204)인 제2 본드 핑거와, 사용되지 않는 솔더볼 패드(206)를 포함하는 기판(100)에 추가된 와이어 본딩부를 형성하기 위한 제1 본드 핑거(208)를 연장시켜 형성한다. 상기 제1 본드 핑거(208)는 기판(100)을 제조할 때, 간단하게 추가로 형성할 수 있다. 이때, 제1 본드 핑거(208)는 와이어 본딩이 가능하도록 표면에 솔더 마스크(solder mask)가 형성되지 않아야 한다.

<53> 도 5를 참조하면, 디자인 변경에 의해 추가된 본드 패드(202)가 있는 반도체 칩(102)을 접착제(adhesive, 도6의 116)를 사용하여 상기 기판(100) 위에 부착시킨다. 이어서, 반도체 칩(102)의 본드 패드(110)와 기판(100)의 본드 핑거(104)를 연결하는 정상적인 와이어 본딩부(112)를 형성하면서, 상기 새로 추가된 제1 본드 핑거(208)와 사용되지 않는 본드 핑거(204)인 제2 본드 핑거를 연결하는 추가된 와이어 본딩부(114)를 형성한다.

<54> 따라서, 상기 반도체 칩(102)의 추가된 본드 패드(202)는 사용되지 않던 제2 본드 핑거(204), 추가된 와이어 본딩부(114) 및 새로 형성한 제1 본드 핑거(208)를 통하여 사용되지 않는 솔더볼 패드(206)와 연결된다. 따라서, 일반적인 와이어 본딩의 개념을 뛰어넘는 추가된 와이어 본딩부(114)에 의하여 기존의 기판(100)을 디자인 변경없이 그대로 사용하는 것이 가능해진다. 상기 추가된 와이어 본딩부(114)는 하나를 형성하는 것을 예시적으로 도시하였으나, 필요에 따라 다수개 형성할 수도 있다.

<55> 따라서, 단층 기판, 이중층 기판 및 다층 기판을 사용할 경우에 기판에 관통홀(Micro-via hole)을 새로 추가하는 디자인 변경을 하지 않고도 반도체 패키지를 패키징할 수 있다. 그러므로 소형화된 반도체 패키지를 구현할 수 있고, 기판 디자인 변경에 소요되는 비용을 절감하며, 변경된 기판을 사용할 경우 초기에 발생할 수 있는 공정불량

을 억제할 수 있다.

<56> 도 6을 참조하면, 상기 결과물을 에폭시 몰드 컴파운드(EMC: Epoxy Mold Compound)와 같은 봉합제(210)를 사용하여 봉합하고, 기판(100) 하면에 솔더볼(118)을 부착하고, 스트립 상태의 반도체 패키지에 절단 공정(Singulation process)을 진행하여 날개로 분리한다. 이때, 상기 정상적인 와이어 본딩부(112) 및 추가된 와이어 본딩부(114)는 봉합제(210)에 의해 캡슐화된다.

<57> 제2 실시예: 인쇄회로 패턴끼리 연결된 추가된 와이어 본딩부를 갖는 반도체 패키지 및 제조방법.

<58> 도 7 및 도 8은 본 발명의 제2 실시예에 의한 반도체 패키지 및 그 제조방법을 설명하기 위한 평면도들이다.

<59> 본 제2 실시예는 본딩이 가능한 폭을 갖는 인쇄회로 패턴끼리 금선으로 연결된 추가된 와이어 본딩부를 갖는 반도체 패키지 및 그 제조방법에 대한 것이다. 상기 인쇄회로 패턴들은 사용되지 않는 솔더볼 패드 및 본드 핑거와 각각 연결되어 있다.

<60> 도 7을 참조하면, 기판(300)에 반도체 칩(302)을 부착하고 와이어 본딩을 수행한다. 이 때에 상기 A지점과 B지점을 인쇄회로 패턴(306)으로 서로 연결시키면, 사용되지 않는 솔더볼 패드(316)와 본드 핑거(314)를 활용할 수 있다. 그러나, 다른 인쇄회로 패턴(306)들이 상기 A 및 B지점을 감싸고 있어서 이를 연결하는 것이 불가능하다. 도면에서 참조부호 304는 일반적인 본드 핑거를 가리키고, 308은 일반적인 솔더볼 패드를 각각 가리킨다.

<61> 도 8을 참조하면, 상기 A 및 B지점, 즉 사용되지 않는 솔더볼 패드(316)와 사용되

지 않는 본드 핑거(314)와 연결된 인쇄회로 패턴들을 추가된 와이어 본딩(318)으로 서로 연결한다. 따라서, 인쇄회로 기판(306)을 이용하지 않고 와이어 본딩을 이용함으로써 기판의 디자인 변경없이 기존의 기판을 그대로 사용할 수 있다. 상기 추가된 와이어 본딩부(318)이 형성되는 인쇄회로 패턴(306)의 폭은 와이어 본딩이 가능한 정도, 즉 스티치(Stitch) 본드 및 볼(ball) 본드가 형성될 수 있는 폭이면 된다. 만약 인쇄회로 패턴(306)의 폭이 스티치(Stitch) 본드 및 볼(ball) 본드가 형성될 수 없을 정도의 가는 폭이라면, 본드 핑거와 같은 패드를 추가로 형성하는 것이 바람직하다.

<62>      상기 제1 및 제2 실시예에서는 본드 핑거가 솔더볼 패드의 바깥쪽에 형성되는 경우를 예시적으로 설명하였다. 그러나, 본드 핑거가 솔더볼 패드의 안쪽에 형성된 경우에도 본 발명을 적용하는 것이 가능하다. 따라서, 본 발명은 상기한 실시예에 한정되지 않으며, 본 발명이 속한 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 많은 변형이 가능함이 명백하다.

#### 【발명의 효과】

<63>      따라서, 상술한 본 발명에 따르면, 추가된 와이어 본딩부를 이용하여 기판의 디자인 변경없이 반도체 패키지를 제조함으로써, 첫째 단층 기판, 이중층 기판 및 다층 기판을 사용할 경우 기판에 관통홀(Micro-via hole)을 새로 추가하여 디자인을 변경하지 않고도 반도체 패키지를 패키징할 수 있기 때문에 두께가 얇은 소형화된 반도체 패키지를 구현할 수 있다. 둘째, 기판 디자인의 변경에 소요되는 비용을 절감함으로써 반도체 패키지의 제조비용을 절감할 수 있다. 셋째, 변경된 기판을 사용할 경우 초기에 발생할 수 있는 공정불량을 억제할 수 있다.



**【특허청구범위】****【청구항 1】**

사용되지 않는 본드 핑거 및 솔더볼 패드를 포함하는 기판;

상기 기판 위에 탑재된 반도체 칩;

상기 반도체 칩의 본드 패드와 상기 본드 핑거를 연결하는 정상적인 와이어 본딩부;

상기 사용되지 않은 솔더볼 패드와 연결된 제1 본드 핑거와, 상기 사용되지 않은 본드 제2 본드 핑거를 연결하는 추가된 와이어 본딩부;

상기 반도체 칩, 상기 정상적인 와이어 본딩부 및 상기 추가된 와이어 본딩부를 봉합하는 봉합제(Encapsulant); 및

상기 기판 아래에서 상기 솔더볼 패드와 연결된 솔더볼을 구비하는 것을 특징으로 하는 반도체 패키지.

**【청구항 2】**

제1항에 있어서,

상기 기판은 상부에 인쇄회로 패턴이 있는 단층 기판인 것을 특징으로 하는 반도체 패키지.

**【청구항 3】**

제1항에 있어서,

상기 기판은 이중층(double layer) 기판 및 다중기판(multi layer) 기판 중에서 선택된 하나인 것을 특징으로 하는 반도체 패키지.

**【청구항 4】**

제1항에 있어서,

상기 기판은 상기 정상적인 와이어 본딩 및 추가된 와이어 본딩이 수행되는 본드  
핑거 및 솔더볼 패드 영역에 솔더 마스크가 형성되지 않는 기판인 것을 특징으로 하는  
반도체 패키지.

**【청구항 5】**

제1항에 있어서,

상기 추가된 와이어 본딩부는 기판의 상부에 형성되는 것을 특징으로 하는 반도체  
패키지.

**【청구항 6】**

제1항에 있어서,

상기 추가된 와이어 본딩부는 기판의 상부에서 반도체 칩이 탑재된 바깥영역에 형  
성되는 것을 특징으로 하는 반도체 패키지.

**【청구항 7】**

제1항에 있어서,

상기 추가된 와이어 본딩부는 하나 또는 다수개인 것을 특징으로 하는 반도체 패키  
지.

**【청구항 8】**

제1항에 있어서,

상기 반도체 칩은 상기 기판에 접착제(adhesive)를 이용하여 부착된 것을 특징으로 하는 반도체 패키지.

【청구항 9】

제1항에 있어서,

상기 추가된 와이어 본딩부의 제1 본드 핑거는, 상기 기판에서 인쇄회로 패턴을 추가로 연장하여 만들어진 것을 특징으로 하는 반도체 패키지.

【청구항 10】

제1항에 있어서,

상기 제1 본드 핑거는 다른 본드 핑거와 같은 패드 형태인 것을 특징으로 하는 반도체 패키지.

【청구항 11】

사용되지 않는 본드 핑거 및 솔더볼 패드를 포함하는 기판;

상기 기판 위에 탑재된 반도체 칩;

상기 반도체 칩의 본드 패드와 상기 본드 핑거를 연결하는 정상적인 와이어 본딩부;

상기 사용되지 않은 솔더볼 패드와 연결된 인쇄회로 패턴과, 상기 사용되지 않은 본드 핑거와 연결된 인쇄회로 패턴끼리를 서로 연결하는 추가된 와이어 본딩부;

상기 반도체 칩, 상기 정상적인 와이어 본딩부 및 추가된 와이어 본딩부를 포함하는 봉합제; 및

상기 기판 아래에서 상기 솔더볼 패드와 연결된 솔더볼을 구비하는 것을 특징으로 하는 반도체 패키지.

【청구항 12】

제11항에 있어서,

상기 추가된 와이어 본딩부의 인쇄회로 패턴은 와이어 본딩이 가능한 폭을 갖는 것을 특징으로 하는 반도체 패키지.

【청구항 13】

사용되지 않는 본드 핑거와 솔더볼 패드를 포함하는 기판에 추가된 와이어 본딩부를 형성하기 위한 제1 본드 핑거를 만드는 단계;

상기 기판 위에 반도체 칩을 접착제를 사용하여 부착하는 단계;

상기 반도체 칩이 부착된 기판에 반도체 칩의 본드패드와 기판의 본드핑거를 연결하는 정상적인 와이어 본딩과, 상기 새로 만든 제1 본드 핑거와 사용되지 않는 본드 핑거를 연결하는 추가된 와이어 본딩을 수행하는 단계;

상기 반도체 칩과, 상기 와이어를 덮는 봉합(Encapsulation) 공정을 수행하는 단계; 및

상기 기판 상부의 솔더볼 패드와 연결된 기판 하부의 솔더볼 패드에 솔더볼을 부착하는 단계를 구비하는 것을 특징으로 하는 반도체 패키지 제조방법.

【청구항 14】

제13항에 있어서,

상기 제1 본드 핑거는 사용되지 않는 솔더볼 패드와 새로운 인쇄회로 패턴으로 연결된 본드 핑거인 것을 특징으로 하는 반도체 패키지 제조방법.

【청구항 15】

제13항에 있어서,

상기 기판은 단층, 이중층 및 다층 기판 중에서 선택된 어느 하나인 것을 특징으로 하는 반도체 패키지 제조방법.

【청구항 16】

제13항에 있어서,

상기 추가된 와이어 본당은 기판의 상부에서 반도체 칩이 부착된 바깥 영역에서 수행하는 것을 특징으로 하는 반도체 패키지 제조방법.

【청구항 17】

제13항에 있어서,

상기 추가된 와이어 본당은 하나 혹은 다수인 것을 특징으로 하는 반도체 패키지 제조방법.

【청구항 18】

사용되지 않고 인쇄회로 패턴이 연결된 상태의 본드 핑거와 솔더볼 패드를 포함하는 기판을 준비하는 단계;

상기 기판 위에 반도체 칩을 접착제를 사용하여 부착하는 단계;

상기 반도체 칩이 부착된 기판에 반도체 칩의 본드패드와 기판의 본드핑거를 연결하는 정상적인 와이어 본당과, 상기 사용되지 않는 본드 핑거와 솔더볼 패드를 연결하기

위한 추가된 와이어 본딩을 수행하는 단계;

상기 반도체 칩과, 상기 와이어를 덮는 봉합(Encapsulation) 공정을 수행하는 단계; 및

상기 기판 상부의 솔더볼 패드와 연결된 기판 하부의 솔더볼 패드에 솔더볼을 부착하는 단계를 구비하는 것을 특징으로 하는 반도체 패키지 제조방법.

【청구항 19】

제18항에 있어서,

상기 추가된 와이어 본딩은 기판 상부에서 상기 반도체 칩이 부착된 바깥영역에서 수행되는 것을 특징으로 하는 반도체 패키지 제조방법.

【청구항 20】

제18항에 있어서,

상기 추가된 와이어 본딩은 상기 사용되지 않은 본드 핑거와 연결된 인쇄회로 패턴과, 상기 사용되지 않는 솔더볼 패드와 연결된 인쇄회로 패턴을 서로 연결하는 것을 특징으로 하는 반도체 패키지 제조방법.

【청구항 21】

제18항에 있어서,

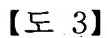
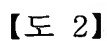
상기 기판은 단층, 이중층 및 다층 기판 중에서 선택된 어느 하나인 것을 특징으로 하는 반도체 패키지 제조방법.

【청구항 22】

제18항에 있어서,

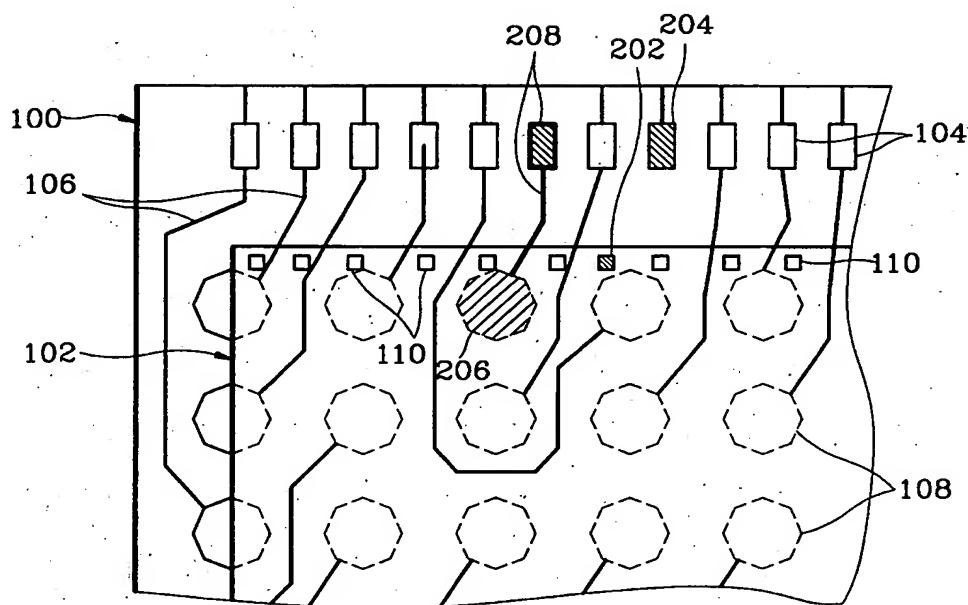
상기 추가된 와이어 본딩은 하나 혹은 다수인 것을 특징으로 하는 반도체 패키지  
제조방법.

【도 1】

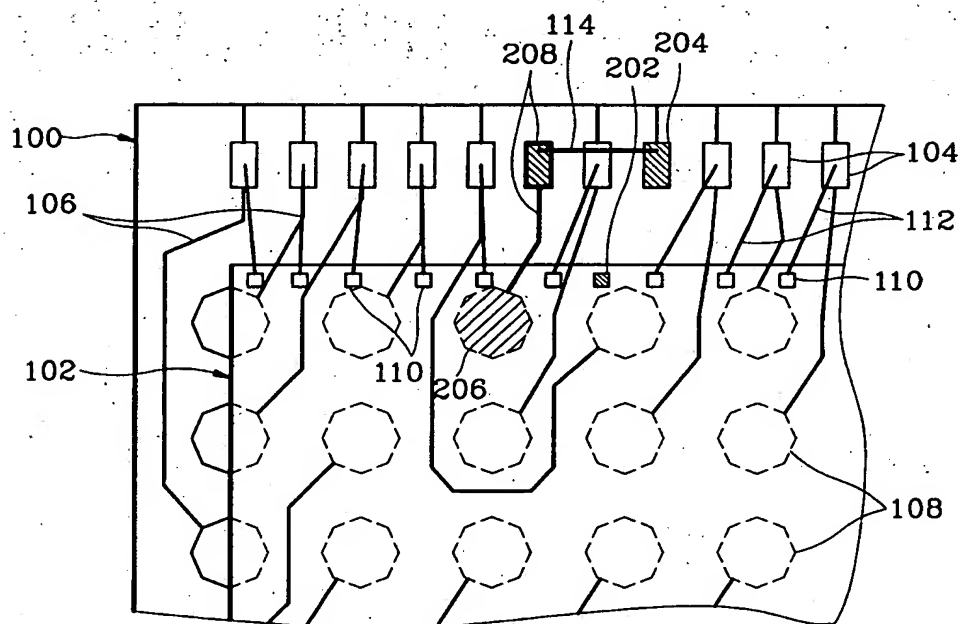




【도 4】



【도 5】



This cross-sectional view shows a semiconductor device. A central layer 102 is positioned above a substrate 100. The substrate 100 contains several circular features 108. A layer 104 is located between the central layer 102 and the substrate 100. A layer 106 is on the top surface of the substrate 100. A layer 110 is on the bottom surface of the substrate 100. A layer 112 is on the top surface of the central layer 102. A layer 114 is on the top surface of the substrate 100. A layer 116 is on the top surface of the central layer 102. A layer 118 is on the top surface of the substrate 100.

FIG. 1 is a schematic diagram of a circuit board 300. The board features a grid of circular components 308, which are interconnected by a network of conductive traces 306. The board has input/output pads 314 along the top and bottom edges. A specific component 308 is highlighted with a hatched pattern and labeled A. Two points, A and B, are marked on the traces. A central rectangular area is labeled 304.

【도 8】

